

A Cost Effective Method for Jitter Test of Serdes Devices in High Volume Production

量產需求下具經濟效益的串列/解串列器信號抖動測試方法

德國安捷倫科技 Bernd Laquai 與 Robert Schneider 合著

台灣安捷倫科技 應用工程師 黃正華 編譯

摘要

隨著積體電路技術上的持續進步，高速數位系統的操作速度亦不斷提昇。對於現今高速網路設備元件而言，信號抖動(Jitter)已成為工程人員所相當重視的一種信號特性，而在測試上著實為一項挑戰。本文將對高速網路元件量測信號抖動提出分析討論，並且比較不同量測方法的效能。此外，針對量產需求，可以達成具經濟效益的量測串列/解串列器信號抖動測試方法亦在本文中介紹。

I. 前言 - 高速網路及 SerDes 元件簡介

信號的繞遞(Routing)及切換(Switching)設備,在現今的網路相關應用中,速度上需要達到 T b/s(Tera bit per second ; 每秒十的十二次方位元)的速度的產出。目前,這類的主要元件有線路卡(line card), 切換卡(switching card), 底板(backplane)。在這些系統之間的溝通,舉例來說,線路卡和切換卡彼此,必須符合頻寬的要求,而且,透過較低複雜性的底板使得建構兩端的成本更為經濟。而目前最具前瞻性的技術是透過循序資料(serial data)及點對點(point-to-point)的連接方法當作末端的架構來達成的。在此架構下,循序資料以內建的 Gb/s(Giga bit per second ; 每秒十的九次方位元)時脈速度傳遞,在接收端再透過時脈恢復(clock recovery)功能,可以將資料流裡面時脈的成分析離出來,然後此時脈信號則在資料被解串列(deserialized)前,用於取樣資料。線路卡及切換卡在網路通訊系統中包含了多組串列/解串列器(SerDes)的部份來作為末端的溝通介面。

一個基本的串列/解串列器(有時候亦稱為傳送/接收器)是由傳送單元以及接收單元所組成。傳送單元是以鎖相電路(PLL, phase locked loop)為基礎,並經由較低頻率的參考時脈,透過合成器來產生高速的資料位元。此高速位元時脈便作為循序資料流的輸出,在接收單元則使用本身的參考時脈來產生高速接收位元時脈讓鎖相電路或是延遲電路(DLL, delay locked loop)使用。由此時脈恢復單元所取得用來作為取樣信號的脈波,可以在信號取樣之後,資料的格式由循序的格式轉變為平行的格式,而這便是串列/解串列器(SerDes)命名的意義。在接收端和傳送端所產生的高速位元時脈,主要是經由鎖相電路或是延遲電路來提供。這兩者皆是相當複雜的類比電路,而且由於這兩個單元所導致的低效能著實影響整體的良率。

II. 信號抖動的分析

倘若傳送端的鎖相電路設計上儘可能預防參考時脈所可能發生的信號抖動效應(Jitter),如此可避免抖動的信號進入網路線路中。另外,在接收端的鎖相電路或延遲電路設計上儘可能追蹤信號抖動現象,以確保在重現後取樣時脈所呈現的信號抖動現象和原本的資料是一致的。如此,接收到的資料永遠被取樣在眼圖(data eye)的中央,即便是信號抖動的情形存在下亦是如此。在考量 Gb/s 以上速度的串列/解串列器設計時,信號抖動是其中的關鍵參數之一,因此所有相關的標準(SONET/SDH, IEEE 802 LAN, Fiberchannel, Infiniband)均會明確定義出信號抖動對於不同網路連接點內部可操作性的影響。

零準位穿越

信號抖動是因為當相位調變資料信號通過了一個臨界,並且由於臨界穿越致生時間軸上資訊的偏移所造成。請讀者注意不要將信號抖動和相位雜訊混為一談,因為與信號抖動相關聯的只有零位準穿越(zero crossings),而不是相位調變載子的整體頻譜內容。當零位準穿越的變化在一段時間單位裡,信號抖動亦可以正弦波形式發生。此種形式的信號抖動是單純為了測試上的需要,以人為方式所產生。茲將臨界穿越如同浴缸形狀的分布情形其機率密度分布繪圖如下(如 Figure 1a 所示)。

乒乓信號抖動

乒乓信號抖動(Ping-pong jitter)是一種不必要的效應。此乃由串訊(cross talk)以及元件本身的接地彈跳(ground bounce)所引起,而使元件局部的時脈信號(例如在數位邏輯電路部分)直接影響到鎖相電路,或者造成電源供應線路端和半導體基底的同步雜訊切換。鎖相電路和延遲電路對於接地彈跳或電荷注入半導體基底效應的反應相當敏感。乒乓信號抖動的變遷顯示了在相反兩個終點的峰值的機率密度分布情形(如 Figure 1b 所示)。

隨機雜訊

隨機的雜訊總是在 p-n 接面的熱干擾所產生,這也是信號抖動的來源之一。這種雜訊會重疊到資料信號上,安全地通過臨界範圍或造成時間參考臨界點值的變動。此種雜訊的分佈在臨界穿越的表現上則以高斯分布(Gaussian distribution)的型態呈現(如 Figure 1c 所示)。

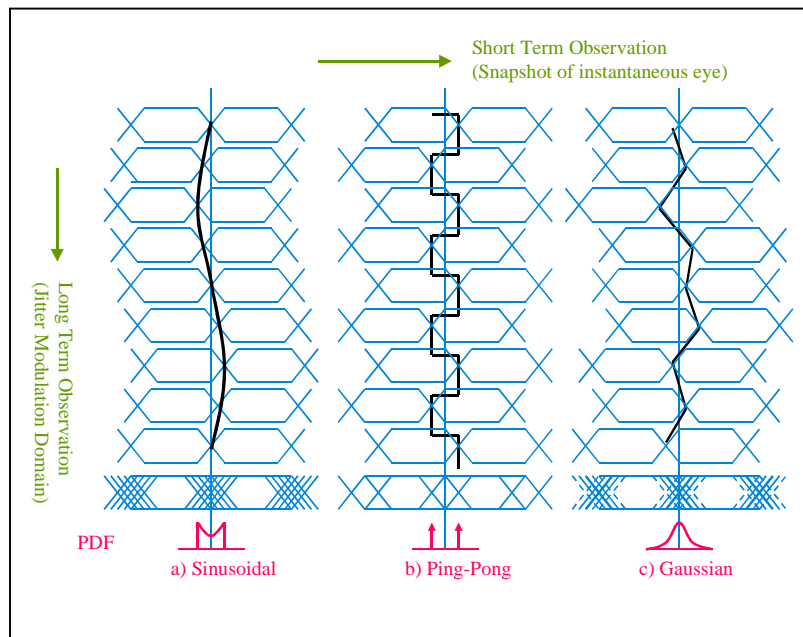


Figure1: 三種不同形式的信號抖動

然而,在現今的 Giga bit/s 網路設備系統中,另外一種形式的信號抖動漸趨重要: 如果頻率超過 500MHz, 則肌層效應(skin effect)使得頻率與導體的阻抗量值相關,同時與絕緣層或介電材料的高頻損益有關。其意思是在高頻的情況下,信號經過傳輸線容易有損耗現象。而頻率的變動造成隨機資料信號在連結的時候無法以同樣的傳輸速度遞送。

碼際干擾

信號經過了一條有損耗的傳輸線傳遞之後,一組隨機的資料就包含了 1 和 0 信號的不同步長(run length, 指的是一列中 1 和 0 個數)。因此,不同的頻率所呈現的信號抖動現象是與步長有關的,這種信號抖動就稱之為『資料相依信號抖動』(data dependent jitter; DDJ)。有關此類型信號抖動的一項重要特點,來自於包含了所有種類的信號抖動調變頻率,相位轉換的頻譜密集度是說,一個展開的頻譜範圍包含

了最低頻率至頻率是 1 位元時間的倒數。

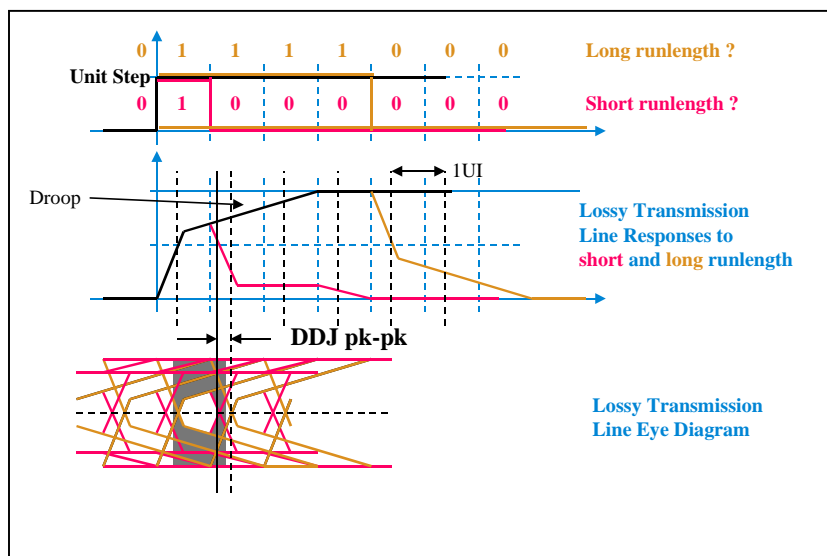


Figure 2: 解釋資料相依信號抖動

量測一個存在資料相依信號抖動的眼圖,可以清楚看出一個眼的輪廓,降低轉換時間,以及減少高低準位之間的傾斜度,稱為低垂(droop)。

低垂可以解釋成猶如一連串經過觀察資料的組成透過傳輸線所產生的步階響應。單一步階響應可以轉換為一個 steeper 的成分,而這樣的成分並不會達到穩態準位,伴隨著一部份緩慢以及非對稱的增加而達到一個穩態準位。在這種情形下,一個簡短的步長資料流中(以一個極端的例子不斷轉態的位元資料為例),之前的轉態步階響應並不能維持在一個穩定的狀態。因此,其接續的轉態步階響應的重疊性質就從某一準位開始,而這個準位與步長有關。而這樣的結果在時間軸急劇升降的部分因而被置換了,也接著取代了臨界穿越部分,因而致使信號抖動,而這樣的信號抖動現象與步長的變動有關(如 Figure 2 所示)。此低垂效應結合了有限的轉換時間,那是由於傳輸線的損耗所造成。這也是形成資料相依信號抖動的主因之一。最高信號抖動頻率的發生來自於轉態步長 1 和步長 2 需要 4 位元的時間,因此最大的頻率是四分之一的資料傳輸率。然而,一個實際時脈恢復鎖相電路(clock recovery PLL)的平均能力卻受限於回授濾波頻寬(the loop filter bandwidth)“檢查視窗”(tracking window)內位元的數目(此頻率介於數百 Hz 至幾百萬 Hz),因此對鎖相電路以 Giga 位元為單位的資料傳輸率來看,大部分資料相依信號抖動的頻率會超過頻寬。

帶內信號抖動與超頻信號抖動

在帶通(passband)頻率的鎖相回授濾波器所產生的信號抖動稱之為帶內信號抖動(inband jitter)。對帶內信號抖動來說,時脈信號恢復的信號抖動增益值為 0。接近濾波器角頻率處,通常其轉換特性會存在一個峰值,其信號抖動增益值是大於 0 的,也就是說,輸入的信號抖動量值被放大了。此時,如果網路設備是“層疊”(cascaded)的形式,那麼就會造成問題,因為在這樣的形式下,信號抖動的量值會被層層地累積起來,因此,在量測時會選擇在回授濾波器電路的特性中最平坦的,以避免峰點的發生。然而,當信號抖動的頻率超過回復鎖相電路所可以掌握的範圍時,經由輸入資料而來的信號抖動就會減弱,且回復時脈信號也不再包含這種信號抖動的成分了。此種類型的信號抖動稱作“超頻”信號抖動(Out-of-band jitter)。值得一提的是,超頻信號抖動是一項嚴重的挑戰,因為當資料仍然摻雜了這種類型的信號抖動,而回復時脈信號並沒有這種成分在的時候,就會造成在錯誤位置點取樣的結果。而且,資料本身的傳遞也將可能有錯誤出現。如前所述,對鎖相電路來說,資料相依信號抖動包含了大量的超頻頻率成分,而

因此會發生在資料回復取樣器的帶通部分。這是無法在半導體電路設計上避免的。超頻信號抖動的其他來源是由含有數位邏輯電路核心的串列/解串列器所產生的。數位邏輯電路核心通常會操作在數百 MHz 的工作頻率,遠離了回授鎖相濾波器的角頻率,而這數位邏輯電路核心也會產生大量的切換雜訊傳輸至鎖相迴路。此雜訊的產生是因為電源線所造成的接地跳躍效應(ground bouncing),或是電源線與之在同一基版上所造成的。而這些雜訊則落在取樣器的信號抖動通帶上。在真實的 giga 位元串列/解串列器整體的信號抖動成分中,大約有 70%的信號抖動可歸納到資料相依類型。此和傳輸線的材質有關。比方說,將傳輸線佈局於銅材質背板,使用較差的 PCB 材料,或是採用較差的連接器。另外,在傳輸端或光電轉換模組的飽和效應亦是影響資料相關信號抖動的因素。

III. 信號抖動量測方法之分析及應用

SONET 標準下之量測方法

SONET(SDH)的標準是沿革自廣域數位電信通訊的應用。它不單是一個舊的標準,同時也成長到 giga 位元的範圍。當 SONET 開始使信號抖動的部分穩定,時脈恢復的功能便分成個別被整合起來的元件,或由一個混合電路上的分散元件所組成。傳輸器是由多工器以及時脈產生器所構成,而接收器則是由解多工器和時脈恢復電路所構成。由於其實體架構的分離特性,以及資料傳送率較慢,這些採用較舊標準的系統便不會遭遇到串訊(cross talk)或接地跳躍效應所產生的信號抖動。

在舊標準裡,只要是包含了鎖相迴路調節在 10Hz 到 1MHz 之間的頻寬,在 1MHz 的環境下操作時,信號抖動容忍度的需求會降為每位元時間的 15%。由於資料相依信號抖動是為各界所重視的,加上本來即已存在於 LAN 應用中有關超頻信號抖動的容忍度問題的影響,ANSI 標準化機構開始致力於重新定義信號抖動的規格,使資料相依信號抖動的部分也可以計算進去。這些新的規格也包括了用來增加傳送/接收器達到信號抖動容忍度臨界的特別測試向量(test patterns)。

現今的自動測試設備,可在同一晶片上測試多組內建的串列/解串列器,同時具有多波道(multilane)介面。這在測試上實為一項挑戰。我們可以透過以下的理由來說明:內建並列的串列/解串列器在同一相位上是屬於非同步作業,甚至在不同的頻率下亦然,此與以同步操作機制為主的自動測試設備相反。然而,鎖相迴路的每一埠位可能會遭受接鄰埠位不正確的箝制作用,所有的埠位需要在同一時間動作,以使用來測試非同步信號抖動調變功能中最差的情況,於是精確度的要求上也變的相對嚴格:在超頻的例子中,時脈恢復的信號抖動容忍度的規格達到 0.15 UI (Unit Interval),而這也相等於 60 ps 的 SONET OC-48 資料傳輸率。

載板的複雜性對信號抖動量測的影響

載板(load board)的複雜性也是在精確度和價格上的考量因素,因為所有載板上的傳輸線會導致資料相依類型的信號抖動,因此廠商們會用最短的傳導、最少量的轉接和連接器,並從較佳的技術考量下來製作載板,以維持可控制的阻抗大小。由於串列/解串列器在價格上的壓力,不論腳位數目的多寡,必須達到毫秒範圍的測試時間目標,當然對量產來說,自動測試設備的價格也需最小化。

在晶片上設計了準隨機二進位資料序列產生器(PRBS sequence generator, PRBS: Pseudo Random Binary Sequence)是目前較新的串列/解串列器元件的一種特徵。這個產生器可以用來作為建立回授測試的資料來源。以一個相等的 PRBS 產生器置於接收端,位元錯誤率(bit error rate)可以使用簡單的錯誤累算儲存器來計算。為了達到適當的錯誤涵蓋率,PLL/DLL 的時脈是以即速(at speed)的方式來執行。但是,每使用一個直接而且很短的連接來進行串列/解串列器或傳送接收器 Tx 到 Rx 的回授測試時,眼圖會達到最大的開放程度,這也對 PLL/DLL 而言較不具挑戰。換句話說,在載板上使用一個相對很長的傳導路徑而致生資料相依類型的信號抖動,對多重波道來說是並不合適的,因為這造成了載板本身的複雜度,需要利用其他的方法使得時脈恢復鎖相迴路來涵蓋在高速測試信號抖動的容忍度。以下,茲針對一些方法作敘述:

位元錯誤率量測法(BERT)

由外界產生測試向量的位元時序調變(bit clock modulation)是在產品特性化分析信號抖動的容忍度驗證中最常使用到的方法。位元錯誤率測試儀器中的測試向量產生器是用來產生對接收器的即速輸入

信號，而該信號是以 PRBS 序列或使用者自定的向量來呈現。BERT 內部的鎖相迴路是設為繞道 (bypassed) 的，並且向量的輸出是經由外界時脈源所控制，外界時脈源是經過調變源來作相位調變，或是弦波源，或是一個任意波型產生器使用者所定義的調變。

不幸的是，調變的深度和相位調變頻率單位在外界位元時脈源以及它內在即有的低信號抖動的表現，對非調變的操作來說是一大敵人。一般最大信號抖動調變頻率可達幾十 MHz，在非調變操作之間得到少於 10 ps 的信號抖動的均方根值。更進一步來說，為了使信號抖動頻率高於 100kHz，信號抖動調變深度會明顯地降至 1 位元時間以下。

根據 SONET/SDH 的標準，這種方法可以達到分析帶內信號抖動最佳的精確度。然而，在量產測試的考量下，多個埠角的多重波道同時又包含了超頻信號抖動的成分，如此價格既昂貴且速度也過於緩慢。

變化調變時脈的量測法 (Modulated Retiming)

另一種方式更接近量產的解決方法便是調變的時間再定義。這通常需要將主動電路元件放置在載板上。以這種概念產生一個抖動信號源，需要一個定義上升及下降時間的高速資料流。這樣的資料可由一個高速資料源或傳送端作輸出，它必須是乾淨而且沒有雜訊的。並且，電源也要小心選擇，避免注入無法控制的信號抖動。然後，這個資料注入到一個高頻寬的比較器，也是在相同的載板上。這個比較器需要有一位元時間內的部分孔徑 (aperture) 時間是準確的，而它相當於一個一個多組 GHz 的頻寬。它也需要有一個低信號抖動的元件來避免在比較臨界 (compare threshold) 所無法控制的隨機信號抖動變數。比較器的另一端輸入接收到由任意波形產生器或者是弦波波源所發出的緩慢變化。這種比較器猶如一個調變的重新定時器。意思是說，資料信號會有抖動現象，以這種方法，可以完成一個控制水平分量的眼輪廓。不過，在垂直分量的部分我們並不能控制，因為比較器提供了已定義的準位。

由於之前所提及概念的複雜性質限制了可使用的埠腳數目。為了達到一個穩定性質的信號抖動表現水準，控制上升/下降的時間以及比較器硬體電路的校正工作似乎是相當困難的。

若使用多組任意波形產生器，則需要多組埠腳非同步信號抖動的調變功能。在這種架構下，成本會因為測試大量的埠腳需求而增加。當調變信號的來源是放在自動測試設備測試頭 (testhead) 內的模組上時，便會浪費掉原本所使用數位量測部分的埠腳空間，而因此減少了可以使用的數位量測的埠腳數目。

再者，一組以乾淨的信號抖動調變頻率所呈現的弦波信號在真實系統中未曾出現過，因此，時鐘脈波及資料的恢復單元未能從一實際的操作中呈現乾淨的信號抖動調變頻率，使得此部份在測試結果上不會嚴格要求。

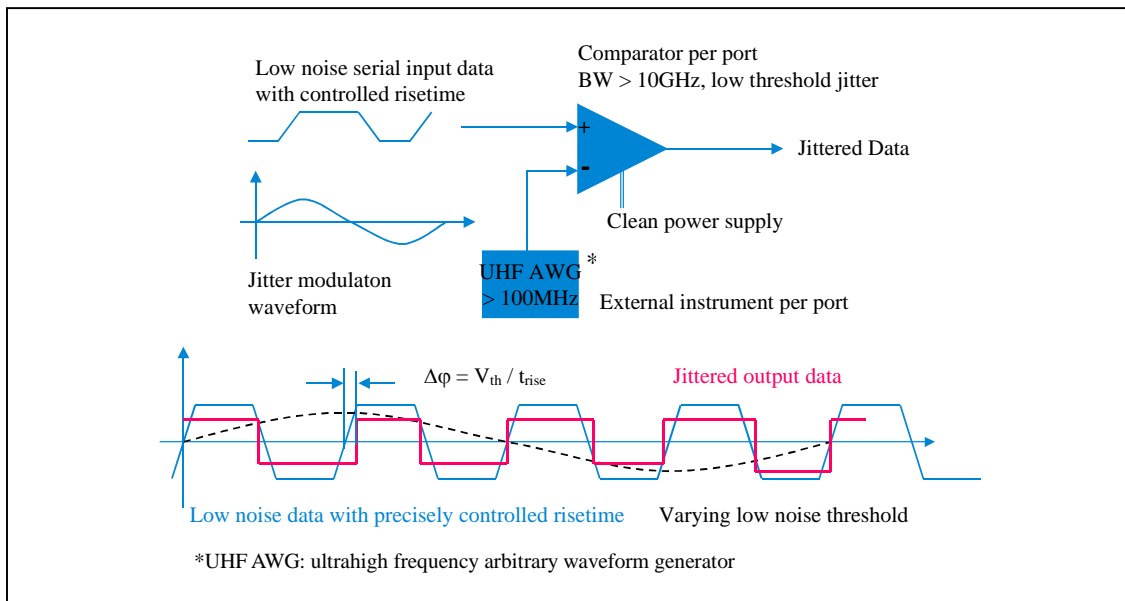


Figure 3: 變化調變時脈的量測法

信號抖動注入模組量測法 (Jitter Injection Module)

為了使資料相依信號抖動注入精確的信號,將被動元件電路最佳化可以說是對於大量埠腳最節省測試成本的方法。此法稱之為信號抖動注入模組(Jitter Injection Module, 以下簡稱 JIM),這類電路並不需要電源供應或是校正的動作,而且其對於轉換時間內的信號微量變動並不敏感。這類模組在模擬低垂(droop)效應上極精確,並且可以很容易地採用頻率量測的方式作特性化。這對被動元件來說,隨後的校正是需要的。

此模組可以設計成在最少量的信號抖動變動情形下,涵蓋了大範圍的資料傳輸率,與資料相依的信號抖動所形成的水平方向眼圖。此種設計可以達到相當精確的程度,並且與垂直方向的眼圖作結合(如 Figure 4 所示)。這種組合亦允許同時用來測試接收端對準位的敏感性。

對於每一埠腳來看,注入信號抖動可以經由變化頻率,或變化量值的大小之個別測試向量來控制。更進一步,可以使用業界標準的測試向量,例如,ANSI JTPAT 或 RPAT。若使用此類業界標準定義測試向量,則注入信號抖動可以表現出真實環境狀況下的最差情形。

IV. 結論

對 JIM 量測法來說最顯著的優點便是我們可以從中降低測試成本以及使測試法則簡單化。如此一來,對於載板的驗證工作就變得更加簡便和快速。對使用者來說,測試大量的埠腳數,使用的測試成本便相對減少了。

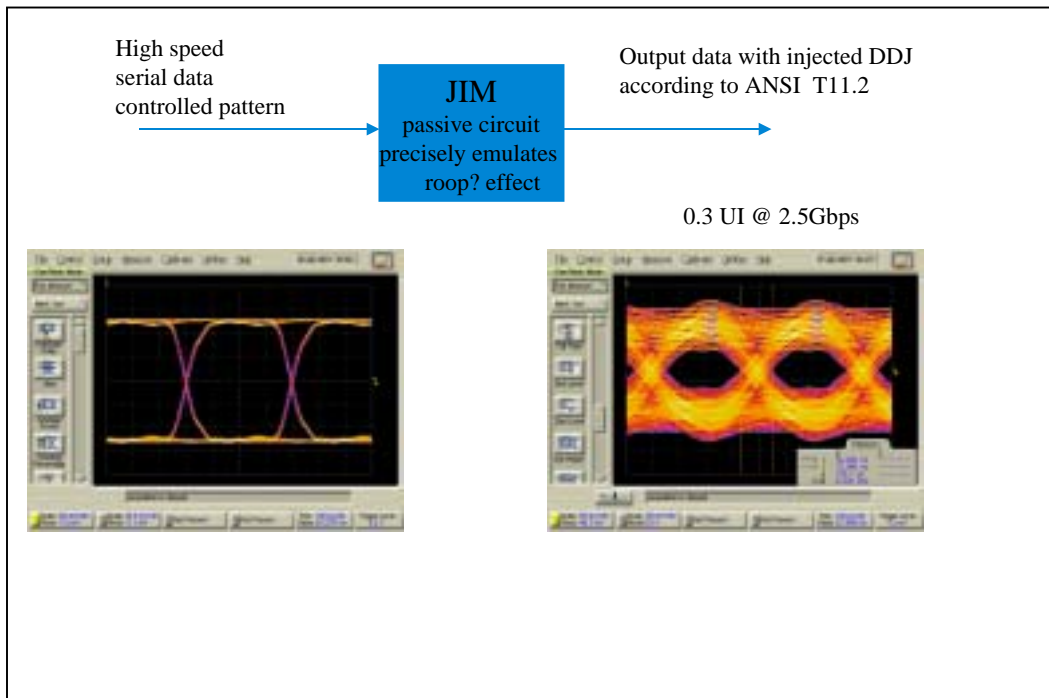


Figure 4: 被動信號抖動注入模組的操作 (JIM)

被動 JIM 可以設定在不同的模式下操作:以一般自動化測試設備的訊號端來說,可以注入信號抖動成分來測試鎖相迴路,以自動化測試設備的最大資料傳輸率。比方說,安捷倫科技的 NP2500,可以達到 2.5 G bit/sec。其對於用來分析信號抖動常使用的眼圖,也可以透過“Shmoo”分析圖表,針對某一輸出(即變化觸發時間以及接收準位的臨界)來掃描。

在量產上,為了有效節省測試成本,多組被動的 JIM 可以承載在載板上,並且透過回授電路的設定,加上電路上內建的 BERT/BIST 可測性電路設計,或者進行自動化測試設備提供的觸發信號控制。如此,我們就可允許進行輸出端信號抖動及接收端信號抖動的測試,並且,接收器的敏感度,對於一次發送抵達多

個埠腳,亦可以即速來測試。安捷倫科技提供低測試成本的自動化測試設備系統,設計及供應被動 JIM,並且提供顧客高速載板設計的服務。

參考書目

- [1] ANSI T1.105, “Synchronous Optical Network (SONET)-Basic Description Including Multiplex Structures, Rates and Formats”
- [2] ITU-T Recommendation G.707, “Network Node Interface for the Synchronous Digital Hierarchy ”
- [3] ITU-T Recommendation G.825 “The control of jitter and wander within digital networks which are based on the synchronous digital hierarchy ”
- [4] Yoshitaka Takasaki: Digital Transmission Design and Jitter Analysis, Artech House 1991
- [5] Patrick R. Trischitta, Eve L. Varma: Jitter in Digital Transmission Systems, Artech House 1989
- [6] “Pattern comparisons for jitter output & tolerance”, Tom Lindsay Vixel Corp., T11.2 Workgroup meeting Tucson AZ, October 1998
- [7] “Signal tolerance testing – Requirements and Implementation”, Tom Lindsay Vixel Corp., T11.2 Workgroup meeting Tucson AZ, October 1998
- [8] National Committee for Information Technology Standardization (NCITS) T11.2/Project 1230/ Rev 10: “Fibre Channel – Methodologies for Jitter Specification” June 9, 1999
- [9] Bernd Laquai, Yi Cai: Testing Gigabit Multilane SerDes Interfaces with Passive Jitter Injection Filters, International Test Conference 2001, Oct. 28-Nov. 2 2001 Baltimore,MD,USA (to be published)

安捷倫科技半導體測試解決方案簡介

安捷倫科技是全球通訊、電子、生命科學、及醫療科技產業的領導廠商。公司48,000名員工分佈於全球超過120個國家。安捷倫科技在2000年會計年度創下94億美元的營收(其中已反映了其醫療事業群的遞延收入)。

安捷倫科技93000 SOC測試設備系列所專用的抖動注入模組(jitter injection module , JIM) , 以因應在高速數位串列通訊晶片上對降低抖動測試成本的要求。安捷倫的JIM模組,是業界第一顆使用被動式晶片設計來進行抖動測試的裝置,可以用和待測晶片等的速度來計算出接收器(receiver)其精確的抖動可容忍程度。被動式晶片的設計比以往的主動式要來得更穩定、更易於安裝。這項技術是專門為高速網路通訊晶片設計業者及製造商所設計,其適測晶片範圍包括如SerDes(Serial/Deserializer), SONET、Gigabit Ethernet、Infiniband、FibreChannel。新的JIM模組以一個功能性測試從五個主要的方面驗證晶片的效能,包括傳輸端同速功能驗證(transmitter at speed functional)、接收端同速功能驗證(receiver at speed functional)、接收端抖動容忍程度驗證(receiver jitter tolerance)、接收端最低可偵測位準驗證(receiver minimum detectable level)、傳輸端隱含抖動產生驗證(transmitter implied jitter generaton)。安捷倫的JIM亦以最高的錯誤涵蓋率(fault coverage)提供了高達每秒10 Gbps的功能性測試,意即就算是今日先進如OC192的通訊晶片,安捷倫JIM也照測無誤。此外,安捷倫的JIM亦可提供超過100個port進行最先進的交接點交換器晶片(cross-point switch)的測試。該模組可直接裝設在安捷倫的載板(loadboard)上,使其更容易與現有的測試流程加以整合。

有關安捷倫科技的相關資訊請參考網站：www.agilent.com <<http://www.agilent.com>>。